

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2001036025 A

(43) Date of publication of application: 09.02.01

(51) Int. Cl

H01L 27/10
H01L 21/3205
H01L 27/04
H01L 21/822
H01L 27/108
H01L 21/8242

(21) Application number: 11204713

(71) Applicant: NEC CORP

(22) Date of filing: 19.07.99

(72) Inventor: HIROI MASAYUKI

(54) **MANUFACTURE OF FERROELECTRIC MEMORY DEVICE**

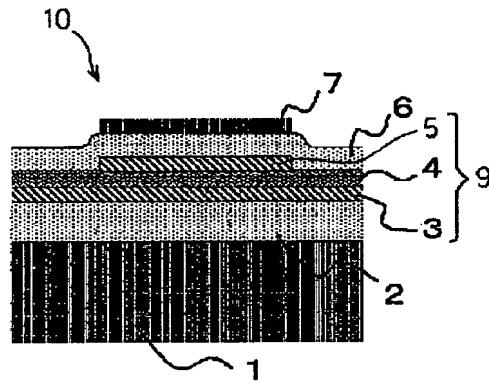
(57) Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a ferroelectric memory device which hardly has degradation in remanence polarity characteristic, even if a metal wiring is formed near a ferroelectric capacitor.

thereafter the wiring is heated upto a fluidization temperature of the material of the wiring. Interposing a barrier film 8 between the upper electrode and the metal wiring 7 can also relax the influence of thermal expansion of the wiring.

COPYRIGHT: (C)2001,JPO

SOLUTION: A perovskite system oxide, which is a ferroelectric material 4, is interposed between an upper electrode 5 and a lower electrode 3, to form a ferroelectric capacitor 9. Using a remanence polarity characteristic of the capacitor 9, a ferroelectric memory device 10 is manufactured. In this case, when forming a metal wiring 7 having a large coefficient of thermal expansion such as an Al wiring on the upper electrode, the material of the metal wiring 7 is heated to a temperature exceeding the Curie temperature of the ferroelectric material 4 to form the metal wiring 7. Thereby, while the temperature decreases, the tensile stress applied to a capacitor 6 from the wiring 7 is reduced at the Curie temperature, and thereby the degradation of a polarization characteristic of the ferroelectric material 4 is suppressed. The same result would be obtained if a wiring is formed with a material, which is fluidized at a temperature higher than the Curie temperature of the ferroelectric material 4, and





(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-36025

(P2001-36025A)

(43)公開日 平成13年2月9日(2001.2.9)

(51)Int.Cl.⁷

H 01 L 27/10
21/3205
27/04
21/822
27/108

識別記号

4 5 1

F I

H 01 L 27/10
21/88
27/04
27/10

テマコト⁷(参考)

4 5 1 5 F 0 3 3

N 5 F 0 3 8

C 5 F 0 8 3

審査請求 有 請求項の数 8 O L (全 9 頁) 最終頁に続く

(21)出願番号

特願平11-204713

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22)出願日

平成11年7月19日(1999.7.19)

(72)発明者 廣井 政幸

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100089875

弁理士 野田 茂

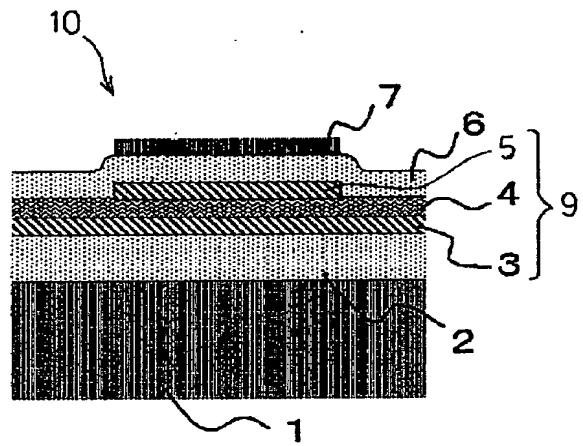
最終頁に続く

(54)【発明の名称】 強誘電体メモリ素子の製造方法

(57)【要約】

【課題】 キャパシタを構成する強誘電体の分極特性の劣化を抑制する。

【解決手段】 強誘電体4としてペロブスカイト系酸化物を上部電極5および下部電極3の間に介在させ強誘電体キャパシタ9を形成して同キャパシタの残留分極特性を利用した強誘電体メモリ素子10を製造する場合に上部電極上にA1などの熱膨張率の大きい金属配線7を形成する際、金属配線7の材料を強誘電体4のキュリ一点を超える温度に加熱して金属配線7を成膜する。これにより降温時に上記キュリ一点を通過するとき配線7からキャパシタ6にかかる引張り応力が減弱し強誘電体4の分極特性の劣化が抑制される。また強誘電体4のキュリ一点より高温度で流動化する材料の配線を上部電極上に形成した後、同配線材料が流動化する温度に加熱しても同様の結果となる。また上部電極と金属配線7との間にバリア膜8を介在させても配線の熱膨張の影響を緩和できる。



1

【特許請求の範囲】

【請求項1】 強誘電体としてペロブスカイト系酸化物を2つの電極の間に介在させ強誘電体キャパシタを形成して、同強誘電体キャパシタの残留分極特性を利用した強誘電体メモリ素子を製造する方法であって、前記強誘電体メモリ素子の近傍に金属配線を形成する際に、前記金属配線の材料を前記強誘電体のキュリ一点を超える温度に加熱して前記金属配線を成膜することを特徴とする強誘電体メモリ素子の製造方法。

【請求項2】 強誘電体としてペロブスカイト系酸化物を2つの電極の間に介在させ強誘電体キャパシタを形成して、同強誘電体キャパシタの残留分極特性を利用した強誘電体メモリ素子を製造する方法であって、前記強誘電体メモリ素子の近傍に、前記強誘電体のキュリ一点より高い温度で流動化する材料から成る金属配線を形成した後、少なくとも前記金属配線周辺を、前記金属配線の材料が流動化する温度に加熱することを特徴とする強誘電体メモリ素子の製造方法。

【請求項3】 強誘電体としてペロブスカイト系酸化物を第1および第2の電極の間に介在させ強誘電体キャパシタを形成して、同強誘電体キャパシタの残留分極特性を利用した強誘電体メモリ素子を製造する方法であって、

前記第1の電極の外側表面上に金属配線を形成する際に、前記第1の電極に対して前記第1の電極の延在方向に圧縮応力を作用させる膜によって前記第1の電極を被覆し、その後、前記被覆膜の上に前記金属配線を成膜することを特徴とする強誘電体メモリ素子の製造方法。

【請求項4】 400°C以下の温度でシリコン窒化物を成膜して前記被覆膜とすることを特徴とする請求項3記載の強誘電体メモリ素子の製造方法。

【請求項5】 前記金属配線の材料は、AlまたはCu、あるいはAlおよびCuの合金を主成分とすることを特徴とする請求項1ないし3のいずれかに記載の強誘電体メモリ素子の製造方法。

【請求項6】 前記金属配線の材料は、AlまたはCu、あるいはAlおよびCuの合金を主成分とし、AlまたはCuの含有率、あるいはAlおよびCuの合計の含有率が90%を越えることを特徴とする請求項5記載の強誘電体メモリ素子の製造方法。

【請求項7】 前記金属配線は電極の外側表面上に形成することを特徴とする請求項1または2に記載の強誘電体メモリ素子の製造方法。

【請求項8】 前記強誘電体キャパシタはシリコン酸化膜により表面が覆われたシリコン基板上に形成することを特徴とする請求項1ないし3のいずれかに記載の強誘電体メモリ素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は強誘電体メモリ素子

10

の製造方法に関するものである。

【0002】

【従来の技術】 強誘電体を用いたメモリ素子は、強誘電体の残留分極を利用して、電源切断時にも情報を保持する不揮発性メモリとして使用される。強誘電体キャパシタの分極特性はヒステリシスを示し、いったん正の電界をかけた後、電界を零に戻すと残留分極Prは正となり、一方、いったん負の電界をかけた後、電界を零に戻すと残留分極Prは負となる。強誘電体メモリ素子では、これら正負の残留分極の差を用いて、情報の書き込み、および読み出しが行われる。

20

【0003】 強誘電体キャパシタは、PZT (Pb(Zr_xTi_{1-x})O₃) やY1 (SrBi₂Ta₂O₉) のようなペロブスカイト系酸化物により形成され、これをPt (金)、Ir (イリジウム)、IrO₂ (酸化イリジウム)、Ru (ルビジウム)、RuO₂ (酸化ルビジウム) といった酸化されにくい金属による電極、または導電性を有する酸化物による電極で挟み込む構造とする。ところで、集積回路として上記強誘電体メモリ素子を半導体基板上に集積化して用いる場合、Al (アルミニウム) などで各メモリ素子間の配線を行う必要がある。この配線は、従来、強誘電体素子以外の素子と同一の工程で形成されていた。

20

【0004】

【発明が解決しようとする課題】 しかしながら、上記ペロブスカイト系酸化物を用いた強誘電体キャパシタにおいては、強誘電体キャパシタ上にAl配線が存在すると、強誘電体キャパシタの残留分極特性が劣化し、正負の残留分極の差が小さくなってしまう。強誘電体キャパシタが記憶素子としての機能を果たさなくなってしまうという問題があった。たとえば、下部および上部にPt電極を配したPZTからなる強誘電体キャパシタの上部に、シリコン酸化膜からなる絶縁層を形成し、その上にTi (チタン) およびAl層を室温でスパッタ法を用いて形成し、その後に400°Cの熱処理を施すと、正負の残留分極の差が熱処理前に比べて小さくなるとともに、上部Pt電極とPZT容量間に剥離が生じてしまう。Al層を形成しない場合、またはAl層を形成後除去した場合には、同じ熱処理を施しても、残留分極特性の劣化および剥離は生じない。したがって、Al層が存在することが上記の残留分極特性劣化および剥離の原因である。

30

【0005】 半導体メモリの製造プロセスにおいてAlまたはCu (銅) などの低抵抗の金属材料による配線の使用は必須である。さらに、保護膜の形成などのため、配線を形成した後に熱が加わることは避けられない。通常、一般的に用いられる配線の保護膜であるシリコン酸化膜は、比較的低温の製法であるプラズマCVD法やSOG (Spin on Glass) を用いた場合にも400°C程度の温度を必要とする。スパッタ法によれば室温のような低温においてもシリコン酸化膜は成膜可

能であるが、著しく膜質が悪いために用いられない。また、シリコン酸化膜以外の有機系低誘電率材料も、配線を被覆する材料として用いられるが、成膜には同様に400°C程度の高温を必要とする。したがって、従来、残留分極特性の劣化を抑えつつ強誘電体キャパシタを用いた半導体メモリ素子を製造することは困難であった。
【0006】本発明はこのような問題を解決するためになされたもので、その目的は、強誘電体キャパシタの近傍に金属配線を形成しても残留分極特性の劣化が生じ難い強誘電体メモリ素子の製造方法を提供することにある。

【0007】

【課題を解決するための手段】本発明は、上記目的を達成するため、強誘電体としてペロブスカイト系酸化物を2つの電極の間に介在させ強誘電体キャパシタを形成して、同強誘電体キャパシタの残留分極特性を利用した強誘電体メモリ素子を製造する方法であって、前記強誘電体メモリ素子の近傍に金属配線を形成する際に、前記金属配線の材料を前記強誘電体のキュリーポイントを超える温度に加熱して前記金属配線を成膜することを特徴とする。

【0008】したがって、本発明の強誘電体メモリ素子の製造方法では、その後の熱処理工程における降温時にキュリーポイントを通過するときには、前記金属配線は収縮しようとして、キャパシタを構成する強誘電体に圧縮応力がかかる。その結果、従来のように金属配線をより低い温度で成膜した場合のように引っ張り応力が強誘電体にかかることがなく、強誘電体キャパシタの残留分極特性の劣化を抑制して、強誘電体キャパシタの記憶素子としての性能を確保することができる。

【0009】また、本発明は、強誘電体としてペロブスカイト系酸化物を2つの電極の間に介在させ強誘電体キャパシタを形成して、同強誘電体キャパシタの残留分極特性を利用した強誘電体メモリ素子を製造する方法であって、前記強誘電体メモリ素子の近傍に、前記強誘電体のキュリーポイントより高い温度で流動化する材料から成る金属配線を形成した後、少なくとも前記金属配線周辺を、前記金属配線の材料が流動化する温度に加熱することを特徴とする。

【0010】このように金属配線を加熱して流動化させた場合には、金属配線は、流動化後に固化した温度で成膜されることと同等となり、金属配線を強誘電体のキュリーポイントより高い温度で熱処理して成膜した場合と同じ結果が得られる。したがって、本発明の強誘電体メモリ素子の製造方法によっても、従来のように金属配線をより低い温度で成膜した場合のように引っ張り応力が強誘電体にかかることがなく、強誘電体キャパシタの残留分極特性の劣化を抑制して、強誘電体キャパシタの記憶素子としての性能を確保することができる。

【0011】また、本発明は、強誘電体としてペロブスカイト系酸化物を第1および第2の電極の間に介在させ

強誘電体キャパシタを形成して、同強誘電体キャパシタの残留分極特性を利用した強誘電体メモリ素子を製造する方法であって、前記第1の電極の外側表面上に金属配線を形成する際に、前記第1の電極に対して前記第1の電極の延長方向に圧縮応力を作用させる膜によって前記第1の電極を被覆し、その後、前記被覆膜の上に前記金属配線を成膜することを特徴とする。

【0012】したがって、本発明の強誘電体メモリ素子の製造方法では、前記被覆膜の上に形成した金属配線が、強誘電体のキュリーポイント以上の高温の熱処理により膨張し、強誘電体を膨張させようとする力が生じても、その力は第1の電極に対して圧縮力を与える被覆膜によって緩和される。その結果、強誘電体キャパシタの残留分極特性の劣化が抑制され、強誘電体キャパシタの記憶素子としての性能を確保することができる。

【0013】

【発明の実施の形態】次に本発明の実施の形態例について図面を参照して説明する。図1は本発明による強誘電体メモリ素子の製造方法の一例によって作成した強誘電体メモリ素子を例示する断面側面図である。図1に示した強誘電体キャパシタ9から成る強誘電体メモリ素子10は、本発明の強誘電体メモリ素子の製造方法にもとづき次のようにして作成する。すなわち、まずシリコン基板1上に熱酸化によってシリコン酸化膜2を形成し、その上に下部電極3として20nmの厚さのTi層および200nmの厚さのPt層を順次積層する。その後、Pb(Zr0.52Ti0.48)O3をゾルゲル法によって600°Cで300nmの厚さに形成して強誘電体4とする。なお、Pbは鉛、Zrはジルコニウムをそれぞれ表す。

【0014】つづいて、強誘電体4の上に上部電極5として、IrO2およびIrの薄膜をそれぞれ50nmおよび150nmの厚さに順次、200°Cでスパッタ法によって形成し、その後、イオンミリング法によってパターニングを行う。そして、酸素雰囲気中において600°Cで熱処理を行った後に、絶縁膜6となる500nm厚のシリコン酸化膜を、O3-TEOS(テトラエトキシシラン)を原料とするCVD法によって375°Cの温度で形成する。その後、プロセスダメージを除去するため、酸素雰囲気中で600°Cの熱処理を行う。

【0015】つづいて、金属配線7として、スパッタ法によって、Ti、TiNの薄膜それぞれ50nm、50nmの厚さに基板温度150°Cで順次形成した後、Alの薄膜を550nmの厚さに、強誘電体4のキュリーポイントより高い500°Cで形成し、その後、窒素雰囲気中で400°Cの熱処理を行う。

【0016】図2は本発明の強誘電体メモリ素子の製造方法の一例により作成した強誘電体メモリ素子10を構成する強誘電体キャパシタ9の分極特性の実測結果を示すグラフである。図中、縦軸は分極を表し、横軸は電圧

を表している。図2からわかるように分極特性は明瞭なヒステリシス特性を示しており、良好な残留分極特性を有する強誘電体キャパシタ9が形成されたことがわかる。

【0017】また、図3の(A)は、金属配線7を形成する際に基板温度を従来通りの150°CとしてA1を形成し、窒素雰囲気中での熱処理を行う前の分極特性の測定結果を示すグラフ、(B)は(A)の試料を400°Cで熱処理を行った場合の分極特性の測定結果を示すグラフ、(C)はA1を用いなかった場合の分極特性の測定結果を示すグラフである。図2のグラフを図3の

(A)のグラフと比較すると、ヒステリシス特性の若干の低下が見られるもののその程度はきわめてわずかである。したがって、本発明にしたがって強誘電体メモリ素子10を作成した場合には、上述のように熱処理を行っても残留分極特性の劣化が抑制されることがわかる。

【0018】さらに、図2のグラフを図3の(B)のグラフと比較すると、その差は歴然としている。すなわち、従来通りの製造方法では、図3の(B)に示したようにヒステリシス特性はほとんど消滅しているのに対し、本実施の形態例では上述のように良好なヒステリシス特性、すなわち残留分極特性が得られている。また、図2のグラフを図3の(C)のグラフと比較すると、両グラフはほぼ一致している。このことは、本実施の形態例では、金属配線7の形成にA1を用いない場合とほぼ同程度に良好な残留分極特性が得られ、A1を用いているにもかかわらず残留分極特性が劣化していないことを示している。

【0019】なお、図3の(C)に示したように、金属配線7の形成にA1を用いない場合には残留分極特性の劣化が軽微であることから、金属配線7と強誘電体キャパシタ9との間を接着している絶縁膜6としてのシリコン酸化膜の存在は残留分極特性には大きい影響を与えていないことがわかる。シリコン酸化膜は、自身の熱膨張係数10.3×10⁻⁶K⁻¹(丸善、応用物理データブック、692頁)によって膨張、収縮の作用を及ぼすが、上記のCVD法によって成膜されたシリコン酸化膜は、弾性率が比較的高くやわらかいため、結果として上部の配線層からの応力を伝える媒体として主に作用し、配線層からの応力が残留分極特性に大きく影響して図3の(B)と図3の(C)との差が生じたものと考えられる。同様に、金属配線7を構成する配線下部構造のTiおよびTiNの影響もA1からの影響に比べて小さいと考えられ、これはTiおよびTiNの膜厚が小さいためと思われる。

【0020】次に、本実施の形態例の製造方法により強誘電体メモリ素子10を作成した場合に、なぜ残留分極特性の劣化が抑制されるかについて詳しく説明する。まず、従来の製造方法で強誘電体キャパシタの残留分極特性が劣化する原因の分析結果について説明する。Jou

rnal of Applied Physics中の関連論文(Vol. 78, No. 3, pp. 1926-1933, 1995)に記載されているうに、強誘電体キャパシタに強誘電体のキュリ一点を越える温度の熱処理を施した場合には、降温時にキュリ一点を通過する際に強誘電体に引張り応力がかかっていると残留分極特性が劣化し、逆に圧縮応力がかかっていると残留分極特性が改善されることが知られている。

【0021】また、ペロブスカイト系酸化物による強誘電体の熱膨張係数は、現在のところあまり明らかにはなっていないが、たとえばPZTでは2.0×10⁻⁶K⁻¹(Journal of Applied Physics, Vol. 34, pp. 1392-1398, 1963)という値が報告されており、A1の28.7×10⁻⁶K⁻¹、Cuの18.2×10⁻⁶K⁻¹(丸善、応用物理データブック、530頁より)などの半導体素子中の配線に用いられる金属材料の熱膨張係数に比べてかなり小さい。

【0022】従来は、強誘電体キャパシタの上部や周辺にA1などの配線を配する場合、配線材料は室温または200°C以下の比較的低温で成膜されていた。ペロブスカイト系酸化物強誘電体のキュリ一点は、たとえばPZTでは300~400°Cの間であり、一般に従来の配線材料成膜温度よりも高い。したがって、その後の工程において強誘電体のキュリ一点を越えるような熱処理が施されたとき、配線材料は成膜時よりも高温にさらされるために膨張し、これに対して強誘電体はそれほど膨張しないために、配線材料から強誘電体に対する引張り応力が生じる。

【0023】図10の(A)は従来の製造方法における金属配線7と強誘電体4とが離れているとした場合の各温度における金属配線7および強誘電体4の状態を示す模式断面図、(B)は金属配線7と強誘電体4とが接着されている場合の各温度における金属配線7および強誘電体4の状態を示す模式断面図である。図中、図1と同一の要素には同一の符号が付されている。

【0024】強誘電体4のキュリ一点より低い温度Tで金属配線7を成膜すると、その後、キュリ一点Tcの熱処理を行った場合、図10の(A)に示したように、A1などの金属配線7は、強誘電体4に比べ大幅に膨張する。したがって、実際の強誘電体メモリ素子10では、金属配線7と強誘電体4とが電極(図示せず)を介して接着されているため、図10の(B)に示したように、金属配線7には圧縮応力が働き、一方、強誘電体4には引っ張り応力が働く。従来の製造方法では、このことが原因となって、強誘電体4の残留分極特性が劣化する。

【0025】図4の(A)は実施の形態例における金属配線7と強誘電体4とが離れているとした場合の各温度における金属配線7および強誘電体4の状態を示す模式断面図、(B)は金属配線7と強誘電体4とが接着され

ている場合の各温度における金属配線7および強誘電体4の状態を示す模式断面図である。

【0026】本実施の形態例では、上述のようにA1を含む金属配線7は、強誘電体4のキュリ一点Tcより高い温度Tで成膜する。したがって、その後、キュリ一点Tcの熱処理を行った場合、図4の(A)に示したように、A1などの金属配線7は、強誘電体4より大きく収縮する。したがって、金属配線7と強誘電体4とが電極を介して接着されている実際の強誘電体メモリ素子10では、図4の(B)に示したように、金属配線7には引っ張り応力が働き、一方、強誘電体4には圧縮応力が働く。すなわち、熱膨張係数の大きな金属配線7を強誘電体4のキュリ一点よりも高温で成膜することにより、その後の熱処理工程における降温時にキュリ一点を通過するときには、熱膨張係数の大きな金属配線7は相対的に大きく収縮しようとするため、強誘電体4には圧縮応力がかかる。その結果、本実施の形態例の製造方法では、従来の低温成膜時に問題となった引張り応力による残留分極特性の劣化を抑制することができる。

【0027】なお、このことから明らかなように、金属配線7を形成する際には、強誘電体4のキュリ一点よりも可能な限り成膜温度を高くする方がよく、できればその後の全工程で用いられる全ての温度よりも高い温度とすることが望ましい。本実施の形態例では、金属配線7はA1を用いて形成したが、同じく熱膨張率の大きいCuを用いる場合、さらにはA1とCuとの合金を用いる場合にも本発明は無論有効である。そして、金属配線7はA1やCuだけによって形成する場合に限らず、それらを主成分とする材料により形成する場合にも、本発明は有効である。例えば、A1またはCuの含有率、あるいはA1およびCuの合計の含有率が90%を越えるような材料を用いる場合、本発明により残留分極特性の劣化を効果的に抑制することができる。

【0028】また、金属配線7が流動化する温度が、強誘電体4のキュリ一点よりも高い場合には、金属配線7を強誘電体4のキュリ一点よりも低い温度で成膜した後に、金属配線7が流動化する温度にまで熱を加えることによっても、同様の効果を得ることができる。その理由は、金属配線7は、流動化後に固化した温度で成膜されることと同等となるからであり、したがって、金属配線7を強誘電体4のキュリ一点より高い温度で熱処理して成膜した場合と同じ結果となる。

【0029】図5は、金属配線7を低温で成膜した後、高温で流動化させた場合の分極特性を示すグラフである。この例では、金属配線7を150°Cで形成した後、スパッタ装置内から出さずに真空中で600°Cまで加熱し、流動化させた。図4のグラフを図2のグラフと比較してわかるように、金属配線7の形成温度を高温にした場合と同様に、残留分極特性の劣化が抑制されている。600°Cという温度は、常圧におけるA1の融

点660°C(丸善、応用物理データブック、630頁)よりも低いが、真空中では400°C程度の低温でも表面のA1が流動するため、常圧よりも低温で応力が減少する効果が得られたと考えられる。

【0030】次に、本発明の第2の実施の形態例について図面を参照して説明する。図6は本発明による強誘電体メモリ素子の製造方法の第2の実施の形態例によって作成した強誘電体メモリ素子を例示する断面側面図である。図中、図1と同一の要素には同一の符号が付されている。図6に示した強誘電体キャパシタ9から成る強誘電体メモリ素子11は、本発明の強誘電体メモリ素子の製造方法にもとづき次のようにして作成する。すなわち、まず上記実施の形態例の場合と同様に、シリコン基板1上に熱酸化によってシリコン酸化膜2を形成し、その上に下部電極3として20nmの厚さのTi層および200nmの厚さのPt層を順次積層する。その後、Pb(Zr0.52Ti0.48)O3をソルゲル法によって600°Cで300nmの厚さに形成して強誘電体4とする。つづいて、強誘電体4の上に上部電極5として、IrO2およびIrの薄膜をそれぞれ50nmおよび150nmの厚さに順次、200°Cでスパッタ法によって形成し、イオンミリング法によりパターニングを行う。そして、酸素雰囲気中において600°Cで熱処理を行う。

【0031】その後、絶縁膜の形成において、100nm厚のシリコン酸化膜6Aを、O3-TEOS(テトラエトキシシラン)を原料とするCVD法によって375°Cで形成し、つづいてスパッタ法によってバリア膜8となるシリコン窒化膜を室温で400nmの厚さに成膜する。すなわち、第2の実施の形態例では、図1に示した絶縁膜6を成す500nm厚のシリコン酸化膜6の代わりに、400nm厚のシリコン窒化膜(バリア膜8)と100nm厚のシリコン酸化膜6Aの2層構造の絶縁膜を形成する。

【0032】その後、プロセスダメージを除去するために、酸素雰囲気中で600°Cの熱処理を行う。つづいて、金属配線7として、Ti、TiN、ならびにA1の薄膜をそれぞれ50nm、50nm、ならびに550nmの厚さに、スパッタ法によって基板温度150°Cで順次形成し、その後、窒素雰囲気中で400°Cの熱処理を行う。

【0033】図7は第2の実施の形態例により作成した強誘電体メモリ素子11を構成する強誘電体キャパシタ9の分極特性の実測結果を示すグラフである。図中、縦軸は分極を表し、横軸は電圧を表している。図7からわかるように分極特性は明瞭なヒステリシス特性を示しており、良好な残留分極特性を有する強誘電体キャパシタ9が形成されたことがわかる。

【0034】シリコン窒化膜の熱膨張係数はシリコンとほぼ似た値で、約2~4×10⁻⁶K⁻¹程度(丸善、化学

便覧応用化学編Ⅰ、110頁など)であり、A1の28. 7×10^{-6} K⁻¹より一桁程度低く、PZTの熱膨張係数とほぼ同程度である。また、シリコン窒化膜に関しては、成膜したのみで真性応力が発生し、その応力は成膜法によって大きく変動することが知られている。一般に減圧化学気相成長法による600°C以上の比較的高い温度での成膜時には引張り応力が生じ、スパッタ法やプラズマ化学気相成長法などによる400°C以下の低い温度での成膜では圧縮応力が生じる。第2の実施の形態例においては、成膜時に圧縮応力が生じており、これが上層のA1配線による引張り応力を相殺するために、熱処理における残留分極特性の劣化が抑制される。

【0035】図8の(A)は第2の実施の形態例における金属配線7と、バリア膜8が被着された強誘電体4とが離れているとした場合の各温度における金属配線7および強誘電体4の状態を示す模式断面図、(B)は金属配線7と、バリア膜8が被着された強誘電体4とが接着されている場合の各温度における金属配線7および強誘電体4の状態を示す模式断面図である。第2の実施の形態例では、上述のようにA1を含む金属配線7は、強誘電体4のキュリ一点Tcより低い温度Tで成膜するが、強誘電体キャパシタ9と金属配線7との間にあらかじめ、強誘電体4に対して圧縮応力を加えるような材料がバリア膜8として成膜しておく。

【0036】そして、第2の実施の形態例では、バリア膜8の熱膨張係数は強誘電体4と同程度であり、上述のように成膜時に真性応力として強誘電体4の延在方向(すなわち上部電極の延在方向)に圧縮応力が現れるような成膜法によってバリア膜8を形成する。その結果、バリア膜8は常に収縮しようとするため、強誘電体4は不図示の上部電極を介して圧縮される(図8の

(A))。これによって、キュリ一点Tcにおける金属配線7による引張り応力、すなわち強誘電体4を膨張させようとする力が緩和され(図8の(B))、強誘電体4の残留分極特性の劣化が抑制される。

【0037】また、上記シリコン窒化膜からなるバリア膜8上に、CVD法によって100nmのシリコン酸化膜を成膜した場合、すなわち、上記図1の絶縁膜6をシリコン酸化膜/シリコン窒化膜/シリコン酸化膜という構造で形成した場合にも、図9のグラフに示したように、熱処理後の残留分極特性は図7とほぼ同じとなつた。したがって、バリア膜8となるシリコン窒化膜は金属配線7の直下にある場合だけでなく、他の膜を介して金属配線7と強誘電体キャパシタ9との間に挿入されることで、金属配線7から発生する引張り応力を減弱させることができた。

【0038】また、第1の実施の形態例で形成した、強誘電体4のキュリ一点以上の高温で成膜した金属配線7は、第2の実施の形態例におけるバリア膜8と同様の効果を持つ。すなわち、強誘電体4のキュリ一点以上の高

温で成膜された熱膨張係数の大きな金属配線7のさらに上部に熱膨張係数の大きな第2の金属配線を配する場合にも、残留分極特性の劣化を防止する上で、やはりキュリ一点以上の温度で成膜することが望ましい。しかし、この第2の金属配線をキュリ一点以下で成膜したとしても、第2の金属配線から強誘電体4が受ける引張り応力は、下部にある高温で成膜された膜の圧縮応力によって軽減されて強誘電体4に伝えられるため、残留分極特性の劣化が抑制される。

10 【0039】なお、本発明は上記各実施の形態例に限定されず、本発明の技術思想の範囲内において、各実施の形態例は適宜変更され得ることは明らかである。

【0040】

【発明の効果】以上説明したように本発明は、強誘電体としてペロブスカイト系酸化物を2つの電極の間に介在させ強誘電体キャパシタを形成して、同強誘電体キャパシタの残留分極特性を利用した強誘電体メモリ素子を製造する方法であって、前記強誘電体メモリ素子の近傍に金属配線を形成する際に、前記金属配線の材料を前記強誘電体のキュリ一点を超える温度に加熱して前記金属配線を成膜することを特徴とする。

20 【0041】したがって、本発明の強誘電体メモリ素子の製造方法では、その後の熱処理工程における降温時にキュリ一点を通過するときには、前記金属配線は収縮しようとして、キャパシタを構成する強誘電体に圧縮応力がかかる。その結果、従来のように金属配線をより低い温度で成膜した場合のように引張り応力が強誘電体にかかることがなく、強誘電体キャパシタの残留分極特性の劣化を抑制して、強誘電体キャパシタの記憶素子としての性能を確保することができる。

【0042】また、本発明は、強誘電体としてペロブスカイト系酸化物を2つの電極の間に介在させ強誘電体キャパシタを形成して、同強誘電体キャパシタの残留分極特性を利用した強誘電体メモリ素子を製造する方法であって、前記強誘電体メモリ素子の近傍に、前記強誘電体のキュリ一点より高い温度で流動化する材料から成る金属配線を形成した後、少なくとも前記金属配線周辺を、前記金属配線の材料が流動化する温度に加熱することを特徴とする。

40 【0043】このように金属配線を加熱して流動化させた場合には、金属配線は、流動化後に固化した温度で成膜されることと同等となり、金属配線を強誘電体のキュリ一点より高い温度で熱処理して成膜した場合と同じ結果が得られる。したがって、本発明の強誘電体メモリ素子の製造方法によても、従来のように金属配線をより低い温度で成膜した場合のように引張り応力が強誘電体にかかることがなく、強誘電体キャパシタの残留分極特性の劣化を抑制して、強誘電体キャパシタの記憶素子としての性能を確保することができる。

50 【0044】また、本発明は、強誘電体としてペロブス

カイト系酸化物を第1および第2の電極の間に介在させ強誘電体キャパシタを形成して、同強誘電体キャパシタの残留分極特性を利用した強誘電体メモリ素子を製造する方法であって、前記第1の電極の外側表面上に金属配線を形成する際に、前記第1の電極に対して前記第1の電極の延在方向に圧縮応力を作用させる膜によって前記第1の電極を被覆し、その後、前記被覆膜の上に前記金属配線を成膜することを特徴とする。

【0045】したがって、本発明の強誘電体メモリ素子の製造方法では、前記被覆膜の上に形成した金属配線が、強誘電体のキュリー点以上の高温の熱処理により膨張し、強誘電体を膨張させようとする力が生じても、その力は第1の電極に対して圧縮力を与える被覆膜によって緩和される。その結果、強誘電体キャパシタの残留分極特性の劣化が抑制され、強誘電体キャパシタの記憶素子としての性能を確保することができる。

【図面の簡単な説明】

【図1】本発明による強誘電体メモリ素子の製造方法の一例によって作成した強誘電体メモリ素子を例示する断面側面図である。

【図2】本発明の強誘電体メモリ素子の製造方法の一例により作成した強誘電体メモリ素子を構成する強誘電体キャパシタの分極特性の実測結果を示すグラフである。

【図3】(A)は、実施の形態例において金属配線を形成する際に最後の500°Cの熱処理を行わなかった場合の残留分極特性の測定結果を示すグラフ、(B)は従来通り400°Cで熱処理を行った場合の残留分極特性の測定結果を示すグラフ、(C)はA1を用いなかった場合の分極特性の測定結果を示すグラフである。

【図4】(A)は実施の形態例における金属配線と強誘電体とが離れているとした場合の各温度における金属配線および強誘電体の状態を示す模式断面図、(B)は金

属配線と強誘電体とが接着されている場合の各温度における金属配線および強誘電体の状態を示す模式断面図である。

【図5】金属配線を低温で成膜した後、高温で流動化させた場合の分極特性を示すグラフである。

【図6】本発明による強誘電体メモリ素子の製造方法の第2の実施の形態例によって作成した強誘電体メモリ素子を例示する断面側面図である。

【図7】第2の実施の形態例により作成した強誘電体メモリ素子を構成する強誘電体キャパシタの分極特性の実測結果を示すグラフである。

【図8】(A)は第2の実施の形態例における金属配線と、バリア膜が被着された強誘電体とが離れているとした場合の各温度における金属配線および強誘電体の状態を示す模式断面図、(B)は金属配線と、バリア膜が被着された強誘電体とが接着されている場合の各温度における金属配線および強誘電体の状態を示す模式断面図である。

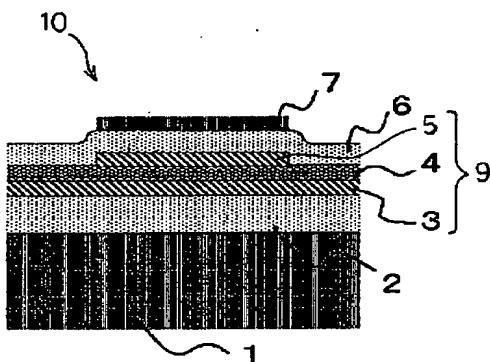
【図9】絶縁膜をシリコン酸化膜/シリコン窒化膜/シリコン酸化膜という構造で形成した場合の分極特性の測定結果を示すグラフである。

【図10】(A)は従来の製造方法における金属配線と強誘電体とが離れているとした場合の各温度における金属配線および強誘電体の状態を示す模式断面図、(B)は金属配線と強誘電体とが接着されている場合の各温度における金属配線および強誘電体の状態を示す模式断面図である。

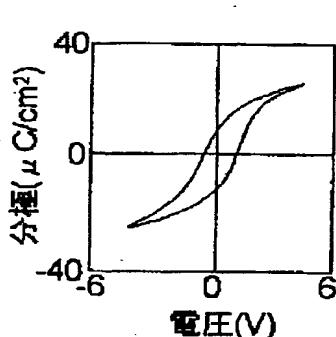
【符号の説明】

1 ……シリコン基板、2 ……シリコン酸化膜、3 ……下部電極、4 ……強誘電体、5 ……上部電極、6 ……絶縁膜、7 ……金属配線、8 ……バリア膜、9 ……強誘電体キャパシタ、10、11 ……強誘電体メモリ素子。

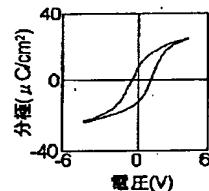
【図1】



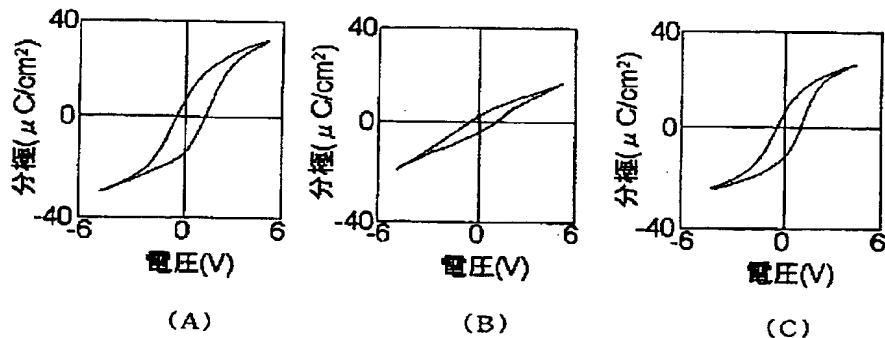
【図2】



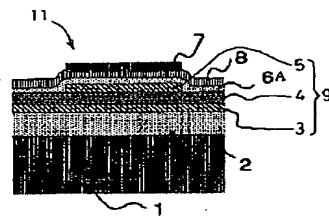
【図5】



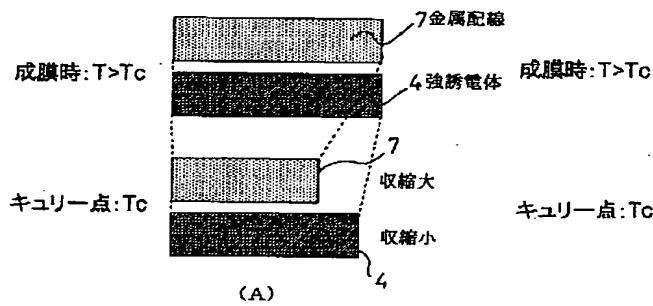
【図3】



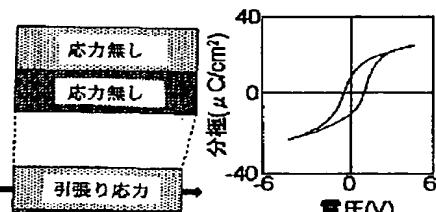
【図6】



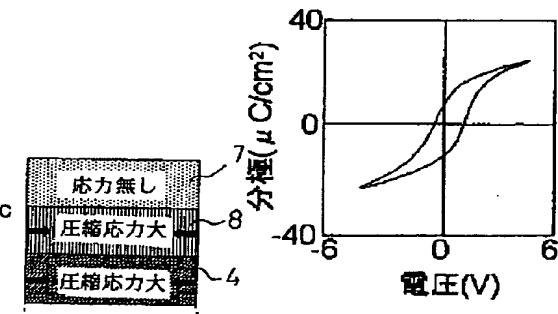
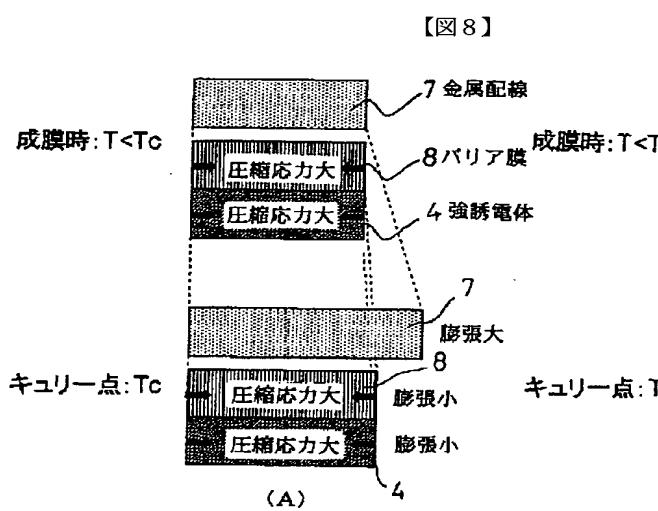
【図4】



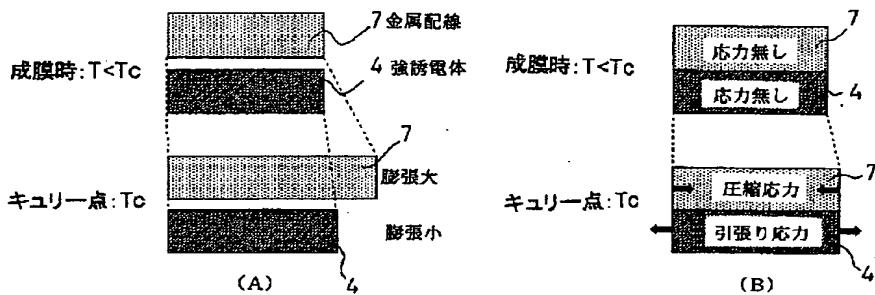
【図7】



【図9】



【図10】



フロントページの続き

(51) Int. Cl. 7

H 01 L 21/8242

識別記号

F I

テ-マコト (参考)

F ターム(参考) 5F033 HH08 HH18 HH33 PP15 QQ73
 RR04 SS04 SS11 WW03 XX00
 XX14 XX19
 5F038 AC05 AC14 AC15 CD01 CD18
 DF05 EZ11 EZ17
 5F083 AD21 FR01 GA27 GA30 JA15
 JA17 JA36 JA37 JA38 JA39
 JA40 JA43 JA56 PR21 PR22
 PR23 PR33

